

SEALING CASE FOR SEMICONDUCTOR DEVICE

Patent Number: JP57103322
Publication date: 1982-06-26
Inventor(s): SANADA KATSU
Applicant(s):: NEC CORP
Requested Patent: ☐ JP57103322
Application Number: JP19800179368 19801218
Priority Number(s):
IPC Classification: H01L21/60 ; H01L23/12
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a sealing case which can facilitate the alteration of pin position by composing the case of a case base, a semiconductor substrate securing board provided at the base, a plurality of bonding lead terminals surrounding the board and a plurality of repeating conductive regions.
CONSTITUTION: A semiconductor substrate securing board 3 is secured to the center of a case base 2 of a semiconductor sealing case provided with a plurality of lead terminals 201-212 at the periphery. Then, a semiconductor substrate 1 having bonding pads 101-112 at the periphery is similarly mounted at the center of the board 3, and bonding repeating conductive regions 41-44 are formed while positioning the board 3 at the periphery. Thus, the sealing case is constructed, the pad 101 and the lead terminal 201 are, for example, connected via a bonding wire 301, or the pad 104 is temporarily connected to the region 42 via the bonding wire 321, and is connected to the lead terminal 203 by employing the bonding wire 322. Thus, the alteration of the pin position can be facilitated.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-103322

⑫ Int. Cl.³
H 01 L 21/60
23/12

識別記号

庁内整理番号
6819-5F
7357-5F

⑬ 公開 昭和57年(1982)6月26日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の封入ケース

東京都港区芝五丁目33番1号日
本電気株式会社内

⑮ 特 願 昭55-179368

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭55(1980)12月18日

東京都港区芝5丁目33番1号

⑱ 発 明 者 真田克

⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置の封入ケース

2. 特許請求の範囲

ケース基体と、このケース基体に設けられた半導体基板固定板と、この半導体基板固定板を取囲むように前記ケース基体に設けられた複数のボンディング用リード端子と、前記半導体基板固定板の半導体基体固定部と前記ボンディング用リード端子との中間位置に周囲から電気的に絶縁されて設けられた複数のボンディング中継用の導電領域とを含むことを特徴とする半導体装置の封入ケース。

3. 発明の詳細な説明

本発明は、ケース基体に、電気回路が形成された半導体基板を収付け、この半導体基板上的ボンディングパッドとケース基体に設けられた複数の

リード端子との間をボンディング線により接続した後、該半導体基板をケース内に密封する半導体装置の密封ケースに関する。

従来、入出力端子を取り出す“ピン”と称する封入ケースの外部リード端子の位置が異なる等て製品名を分けている集積回路において、ピンの変更に応じて、該集積回路の電気回路が形成された半導体基板上的各ボンディングパッドと、該封入ケースの各ボンディング用リード端子間とのボンディング接続が容易になるように、該半導体基板上で各ボンディングパッドへの配線パターンを変更していたが、かかる方法は、配線パターンの形成が平面的に不可能な時には、多層配線にしなければならず、工数が増加するために歩留りが悪くなる欠点があり、また、“トンネル抵抗”と称する低インピーダンスの拡散パターンを該半導体基板上に形成する等により配線を交差させていたが、本来高インピーダンスであるべき配線にインピーダンスを付加させるため、回路の電気的特性が悪くなり、従って歩留りが悪くなる欠点があり、又

該半導体基板上の廻りに配された各々のボンディングパッドと該半導体基板外周の中間に配線を布設していたため、半導体基板の寸法が大きくなる欠点があった。さらに、上記配線パターンの変更に伴って、マスクパターンの種類が増すため工程管理が複雑になり、さらに製造コストが上昇する欠点があった。

さらに従来は、封入ケースの半導体基板固定板上に一種類の集積回路の半導体基板をピン配置に応じた角度に固定してボンディングを行っていたが、かかる方法はボンディングに断線が生じるため、ボンディング線と半導体基板間でショートを引き起こしたり、ボンディング線間でショートを引き起こしたため、組立て歩留りが極端に悪くなる欠点があった。

本発明の目的は、収納される半導体基板の種類はそのままであって、ピン配置のみの変更を極めて容易に可能ならしめた半導体装置の封入ケースを提供する事にある。

この発明の半導体装置の封入ケースは、ケース

- 3 -

固定板3の半導体基板1の固定部とボンディング用リード端子群との中間位置に設けている。

第2図は第1図に示した半導体基板1をケース基板2の半導体基板固定板3上に固定した状態において、各ボンディングパッド101, 102, ..., 112, に対する各リード端子201, 202, ..., 212, のボンディング対応が、パッド101に対しリード端子201に「この表示を以後(101, 201)とする」(102, 202), (103, 204), (104, 203), (105, 205), (106, 206), (107, 207), (108, 208), (109, 209), (110, 210), (111, 211), (112, 212)に対応している時のボンディング状態を示すものであり、(104, 203)以外は第2図に示すように、ボンディング線301, 302, 303, 305, ..., 312にて、ボンディングされるが、(104, 203)はパッド104はボンディング線321にて導電領域42に接続され、リード端子203はボンディング線322にて導電領域42に接続されるため、ボンディング形状が簡略になり、従って組立て歩留りの上昇

- 5 -

が期待できる。また、このケース基板に設けられた半導体基板固定板と、この基板固定板を収めるように前記ケース基板に設けられた複数個のボンディング用リード端子と、前記半導体基板固定板の半導体基板固定部とボンディング用リード端子との中間位置に両端から電気的に絶縁されて設けられた複数個のボンディング中継用の導電領域とを含む構成を有する。

つぎに本発明を実施例により説明する。

第1図は本発明の一実施例の部分平面図である。

第1図において、12個のボンディングパッド101, 102, ..., 112, を有する半導体基板1を、12個のリード端子201, 202, ..., 212, を有する半導体装置の封入ケースのケース基板2に設けられた半導体基板固定板3上に固定した状態を示しており、ケース基板2は、リード端子201, 202, ..., 212 及び半導体基板固定板3、及び半導体基板1と電気的に絶縁した、例えば表面をAuやAuのような導電体で被覆したボンディング中継用の導電領域41, 42, 43, 44を、半導体基板

- 4 -

が期待できる。

なお、上記の接続例は、左側のボンディング用リード端子の列202~205と、これと対向するボンディングパッド102~105の列との対応する同士の間の順序を変えた接続例を示したが、例えば導電領域41と42および導電領域43と44の互いに接近する端部同士を接続線により接続し、上側のボンディング用リード端子212を一たん導電領域41に接続し、これを導電領域42を経て下側のボンディングパッド106に導出し、また、下側のボンディング用リード端子206を一たん導電領域43に接続し、導電領域44を経て上側のボンディングパッド112に導出するといふように、上側と下側の反対側にあるボンディングパッドとボンディング用リード端子との間でも何らの支障なく接続を行うことができる。

上述のように、この発明によれば、集積回路の電気的特性を十分満足し、さらには十分集積化された一種類のパターン形状のみでピン位置の異なる多種の製品を容易に生産できるため、ピン位置

- 6 -

ッド、201~212 ……ボンディング用リード端子、301~312 ……ボンディング線。

代理人 井堀士 内 原 普



の異なりによるレイアウト上の検討の必要性がなく、従って短時間でパターン設計が可能となり、ピン位置の異なりによる半導体チップの分岐も必要ない事から、生産管理も簡略化され、さらには電気的特性を十分満足し、十分集積化されたパターンで容易にケース搭載が可能な事から歩留りの向上が期待できるのは明らかである。

なお上記実施例は電気的に独立した4個の導電領域を有する半導体装置の封入ケースについて述べたが、該導電領域の個数が増せば同一の電気回路におけるピン位置の異なりによる製品の種類の増加に厄じる事ができるのは明らかである。

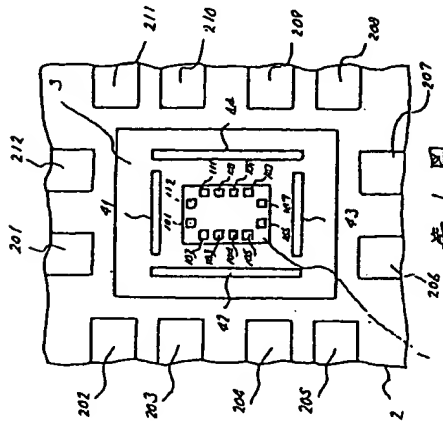
4. 図面の簡単な説明

第1図は本発明の一実施例の平面図、第2図は第1図の封入ケースに半導体基板を収めボンディング線を接続した状態を示す平面図である。

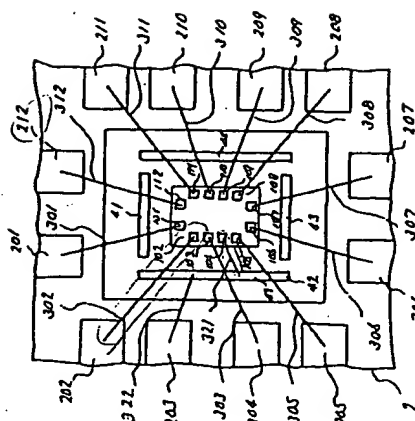
1 ……半導体基板、2 ……ケース本体、3 ……半導体基板固定板、41~44 ……ボンディング中継用導電領域、101~112 ……ボンディングパ

- 7 -

- 8 -



第1図



第2図